

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent Number: JP59154072
Publication date: 1984-09-03
Inventor(s): NAGAKUBO YOSHIHIDE; others: 01
Applicant(s): TOSHIBA KK
Requested Patent: JP59154072
Application Number: JP19830028699 19830223
Priority Number(s):
IPC Classification: H01L29/78; G11C11/40
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the write voltage and thus contrive that punch through does not occur and further to improve the flatness of the surface by a method wherein both of gate electrodes are placed close to a channel region, and an insulation film is interposed around the first gate electrode buried under the channel region.

CONSTITUTION: The second gate electrode 24 serving as a control gate is provided on the channel region via only the second gate oxide film 25. Since the first gate electrode 18 buried under the channel region is surrounded by the first gate oxide film 20 and a thermal oxide film 16, the expansion of a depletion layer from a drain region 27 can be blocked. The first gate electrode 18 and the N⁺ type source and drain regions 26 and 27 are arranged on a sapphire substrate 11 in a horizontal direction, and only the second gate electrode 24 is formed from the upper surfaces of these via the second gate oxide film 25; therefore the element surface becomes flatter.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-154072

⑬ Int. Cl.³

H 01 L 29/78

G 11 C 11/40

識別記号

1 0 1

庁内整理番号

7514-5F

6549-5B

⑭ 公開 昭和59年(1984)9月3日

発明の数 2

審査請求 未請求

(全 5 頁)

⑮ 半導体装置及びその製造方法

⑯ 特 願 昭58-28699

⑰ 出 願 昭58(1983)2月23日

⑱ 発 明 者 長久保吉秀

川崎市幸区堀川町72番地東京芝

浦電気株式会社堀川町工場内

⑲ 発 明 者 水谷嘉久

川崎市幸区堀川町72番地東京芝

浦電気株式会社堀川町工場内

⑳ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 絶縁体上に分割して形成された一導電型の半導体層からなるソース・ドレイン領域と、これらソース・ドレイン領域間に絶縁膜を介して挟まれた第1のゲート電極と、該第1のゲート電極上に形成された第1のゲート絶縁膜と、該第1のゲート絶縁膜上に形成された半導体膜からなるチャネル領域と、該半導体膜上に形成された第2のゲート絶縁膜と、該第2のゲート絶縁膜上に形成された第2のゲート電極とを具備したことを特徴とする半導体装置。

(2) 第1あるいは第2のゲート電極のいずれか一方がフローティングゲートであることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 絶縁体が絶縁基板あるいは半導体基板上に形成された絶縁膜であることを特徴とする特

許請求の範囲第1項記載の半導体装置。

(4) 絶縁体上に半導体層を形成する工程と、該半導体層の一部を選択的に前記絶縁体に達するまでエッチングし、溝を形成する工程と、該溝内に露出した前記半導体層側面に絶縁膜を形成する工程と、前記溝内に第1のゲート電極を形成する工程と、該第1のゲート電極表面に第1のゲート絶縁膜を形成する工程と、該第1のゲート絶縁膜上に半導体膜からなるチャネル領域を形成する工程と、前記半導体膜上に第2のゲート絶縁膜を介して第2のゲート電極を形成する工程と、該第2のゲート電極をマスクとして前記半導体層に不純物をイオン注入し、一導電型のソース・ドレイン領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(5) 第1のゲート電極を、全面に溝の幅の1/2以上の膜厚の第1のゲート電極材料を堆積した後、エッチバック法を用いて該溝の内部に第1のゲート電極材料を残存させることにより形成

することを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

(6) 半導体層及び半導体膜をCVD法あるいはエピタキシャル法により形成することを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

(7) 半導体層及び半導体膜の少なくとも一部にレーザビームあるいは電子ビームを照射することを特徴とする特許請求の範囲第6項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体装置及びその製造方法に関し、特にPROM(Programmable Read Only Memory)のような記憶機能を有する半導体装置及びその製造方法に係る。

〔発明の技術的背景〕

従来のPROMは第1図に示す如く、半導体基板、例えばP型シリコン基板1に互いに電気的に分離して形成されたN⁺型ソース・ドレイン領域2、

印加すべき電圧として高電圧を必要とする。

(ii) 素子が微細化されてくると、パンチスルーが大きな問題となる。

(iii) 2つのゲート電極が基板1上で積層状に形成されるため、表面の平坦性が損なわれ、配線等の形成に際して、その段差部で段切れを生じる恐れがある。

〔発明の目的〕

本発明は上記欠点を解消するためになされたものであり、書き込み電圧を低下させるとともに素子が微細化された場合でもパンチスルーを防止することができ、しかも素子表面の平坦な半導体装置及びそのような半導体装置を簡便に製造し得る方法を提供しようとするものである。

〔発明の概要〕

本願第1の発明の半導体装置は、絶縁体上に分割して形成された一導電型の半導体層からなるソース・ドレイン領域間に絶縁膜を介して第1のゲート電極が挟まれ、この第1のゲート電極上に第1のゲート絶縁膜を介して半導体膜か

らなるチャネル領域2、3間のチャネル領域上に第1のゲート酸化膜4を介して形成された第1のゲート電極(フローティングゲート)5と、この第1のゲート電極5上に第2のゲート酸化膜6を介し、積層して形成された第2のゲート電極(コントロールゲート)7からなるメモリセル構造を有する。

上述したPROMは第2のゲート電極7に高電圧をかけることによりチャネル領域を反転させてトランジスタをONし、第1のゲート電極5にキャリアを蓄積させて、このトランジスタの閾値電圧に変動を与え、所定のメモリセルに記憶機能を保持させるものである。

〔背景技術の問題点〕

上述した従来のPROMには以下のような問題点がある。

(i) 書き込みは、第2のゲート電極(コントロールゲート)7に電圧を印加し、第1のゲート電極5を介してチャネル領域を反転させることにより行なわれるため、第2ゲート電極7に

らなるチャネル領域が形成され、更にこの半導体膜上に第2のゲート絶縁膜を介して第2のゲート電極が形成された構造のものである。

こうした構造によれば、第1あるいは第2のゲート電極のどちらもチャネル領域に近いので書き込み電圧を低くすることができ、また、チャネル領域下に埋込まれた第1のゲート電極周囲には絶縁膜があるので、パンチスルーが起きず、更に表面の平坦性がよくなる。

また、本願第2の発明の半導体装置の製造方法は、絶縁体上に半導体層を形成し、この半導体層に絶縁体に達する溝を形成して、この溝内に露出する半導体層側面に絶縁膜を形成した後、溝内に第1のゲート電極を形成し、つづいて第1のゲート電極上に第1のゲート絶縁膜、半導体膜からなるチャネル領域を順次形成し、更に、半導体膜上に第2のゲート絶縁膜を介して第2のゲート電極を形成した後、不純物イオン注入を行ない一導電型のソース・ドレイン領域を形成することにより、簡便な工程で本願第1の発明の半導体装置を製造するものである。

〔発明の実施例〕

以下、本発明の実施例を第2図(a)~(h)に示す製造方法を併記して説明する。

まず、サファイア基板11上に例えばエピタキシャル法により厚さ0.7 μ mのP型シリコン層12を堆積した後、熱酸化を行ない300 \AA の熱酸化膜13を形成し、更にその上に2000 \AA の窒化シリコン膜14を堆積した。次に、図示しないホトレジストパターンをマスクとして、反応性イオンエッチング等の異方性エッチング法により、前記窒化シリコン膜14、熱酸化膜13及びP型シリコン層12の一部を選択的に前記サファイア基板11に達するまでエッチングして溝15を形成した(第2図(a)図示)。

次いで、前記ホトレジストパターンを除去した後、前記窒化シリコン膜14を耐酸化性マスクとして熱酸化を行ない、前記溝15内に露出したP型シリコン層12の側面に約2000 \AA の熱酸化膜16を形成した。つづいて、全面にゲート電極材料である多結晶シリコン膜17を前

記溝15の幅の $\frac{1}{2}$ 以上の膜厚で堆積した後、低抵抗化を図るためにこの多結晶シリコン膜17に例えばリン($^{31}\text{P}^+$)をドーピングした(同図(b)図示)。

次いで、前記多結晶シリコン膜17をエッチバック法によりほぼその膜厚分だけエッチング除去し、溝15の内部にのみ多結晶シリコン膜を残存させ、第1のゲート電極(フローティングゲート)18を形成した(同図(c)図示)。

次いで、前記窒化シリコン膜14を耐酸化性マスクとして熱酸化を行ない、第1のゲート電極18の表面に前記熱酸化膜13よりも厚い、第1のゲート酸化膜となる熱酸化膜19を形成した(同図(d)図示)。

次いで、前記窒化シリコン膜14を除去した後、熱酸化膜13及び第1のゲート電極18表面の熱酸化膜19の一部をエッチバック法により熱酸化膜13の膜厚分エッチング除去して、第1のゲート酸化膜20を形成した(同図(e)図示)。

次いで、CVD法により全面に厚さ2000 \AA のチャネル領域となるP型多結晶シリコン膜21を堆積した(同図(f)図示)。

次いで、前記P型多結晶シリコン膜21の表面に第2のゲート酸化膜となる熱酸化膜22を形成した後、素子形成予定部上に図示しないシリコン窒化膜パターンを形成した。つづいて、このシリコン窒化膜パターンを耐酸化性マスクとして選択酸化法により素子分離領域23を形成した後、前記シリコン窒化膜パターンを除去した(同図(g)図示)。

次いで、全面に多結晶シリコン膜を堆積した後、パターンニングして第2のゲート電極(コントロールゲート)24を形成し、更にこの第2のゲート電極24をマスクとして前記熱酸化膜22をエッチングして第2のゲート酸化膜25を形成した。つづいて、前記第2のゲート電極24をマスクとして例えば砒素をイオン注入した後、熱処理して N^+ 型ソース・ドレイン領域26、27を形成した。つづいて、全面にCVD

酸化膜28を堆積した後、コンタクトホール29、29を開孔し、更に全面にAL膜を蒸着した後、パターンニングしてAL配線30、31を形成し、PROMを製造した(同図(h)図示)。

しかして、第2図(h)図示のPROMは以下のような効果を有する。

(i) コントロールゲートとなる第2のゲート電極24が第2のゲート酸化膜25だけを介してチャネル領域上に設けられているので従来のPROMと比較して書き込み電圧が著しく低くなる。なお、第1のゲート電極18をコントロールゲート、第2のゲート電極24をフローティングゲートとして用いても同様な効果を得ることができる。

(ii) チャネル領域下に埋込まれた第1のゲート電極18は第1のゲート酸化膜20及び熱酸化膜16によって囲まれているので、ドレイン領域27からの空乏層の拡がりを阻止でき、パンチスルーを防止することができるため素子の微細化に有効である。

(四) 第1のゲート電極18及び N^+ 型ソース・ドレイン領域26, 27がサファイア基板11上で水平方向に並び、これらの上面から上には第2のゲート酸化膜25を介して第2のゲート電極24が形成されているだけであるので、従来のPROMのように半導体基板上に2層のゲート電極が積層されている構造と比較して、素子表面がより平坦となり、配線形成時の段切れを防止でき、正確なパターン形成が容易である。

また、上記実施例の方法によれば、上述したような種々の効果を有するPROMを簡便な工程で製造することができる。

なお、上記実施例では第2図(f)図示の工程でCVD法によりチャネル領域となるP型多結晶シリコン膜21を堆積したが、これに限らずエピタキシャル法により単結晶シリコン膜を堆積してもよい。

また、ソース・ドレイン領域となるP型シリコン層12及びチャネル領域となるP型多結晶シリコン21を全面に堆積した後、レーザビ-

ームあるいは電子ビーム等のエネルギービームを照射することにより、これらの結晶性を改善してもよく、こうすることにより素子特性を更に向上することができる。

また、素子分離領域23は第2図(g)図示の工程で形成したが、第2図(a)図示の工程において最初に形成してもよい。

更に、上記実施例では絶縁体としてサファイア基板11を用いた場合について説明したが、他の絶縁基板でもよく、また、半導体基板表面に形成された絶縁膜上に本発明の半導体装置を形成しても同様の効果を得ることができる。

〔発明の効果〕

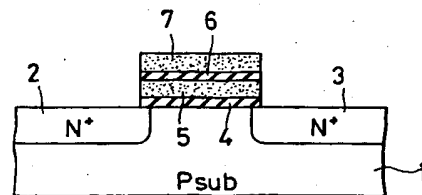
以上詳述した如く本発明によれば、書き込み電圧を低下させるとともに素子が微細化された場合でもパンチスルーを防止することができ、しかも素子表面の平坦な半導体装置及びそのような半導体装置を簡便に製造し得る方法を提供できるものである。

4. 図面の簡単な説明

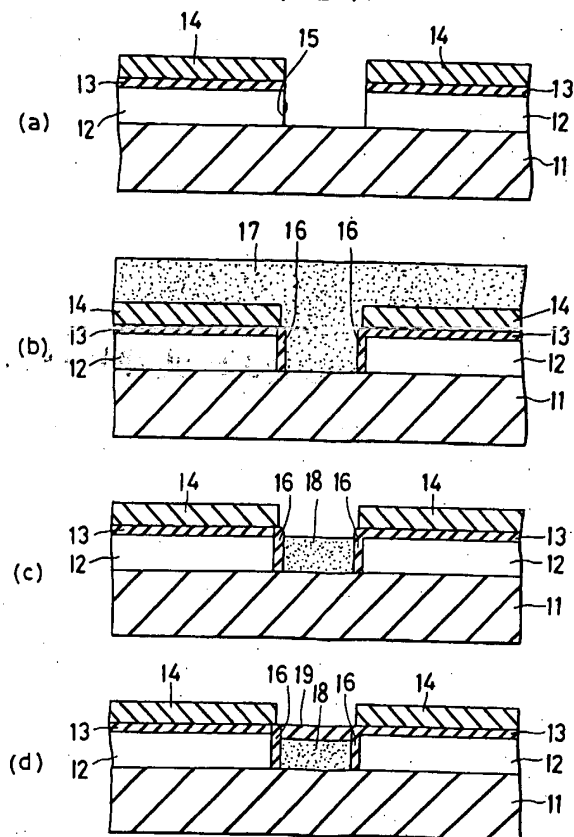
第1図は従来のPROMの断面図、第2図(a)~(h)は本発明の実施例におけるPROMを得るための製造工程を示す断面図である。

11…サファイア基板、12…P型シリコン層、13, 16, 19, 22…熱酸化膜、14…シリコン窒化膜、15…溝、17, 21…多結晶シリコン膜、18…第1のゲート電極、20…第1のゲート酸化膜、23…素子分離領域、24…第2のゲート電極、25…第2のゲート酸化膜、26, 27… N^+ 型ソース・ドレイン領域、28…CVD酸化膜、29…コンタクトホール、30, 31…AL配線。

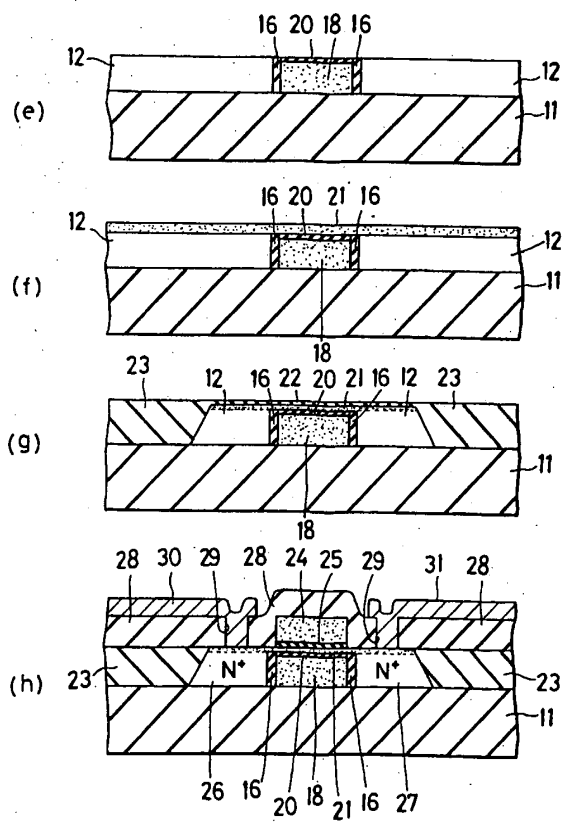
第1図



第 2 図



第 2 図



THIS PAGE BLANK (USPTO)